

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-195711

(43)公開日 平成11年(1999) 7月21日

(51)Int.Cl. ⁵	識別記号	F I
H 0 1 L 21/82		H 0 1 L 21/82
27/04		27/04
21/822		F
		P

審査請求 未請求 請求項の数33 O L (全 13 頁)

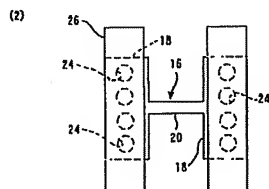
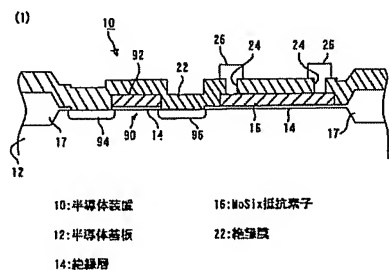
(21)出願番号	特願平10-254416	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成10年(1998) 9月8日	(72)発明者	綿田 裕二 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(31)優先権主張番号	特願平9-294590	(73)発明者	小池 美智男 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(32)優先日	平9(1997)10月27日	(74)代理人	弁理士 鈴木 喜三郎 (外2名)
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 抵抗素子の小型化を図る。

【解決手段】 半導体装置10は、半導体基板12の上面全体にシリコン酸化膜などからなる絶縁層14が設けてある。絶縁層14の上部には、MoSi_x からの抵抗素子16が形成してある。絶縁層14の上部には、半導体基板12の全面に絶縁膜22が設けてある。抵抗素子16の上部に位置する絶縁膜22には、貫通孔24が形成してあって、この貫通孔24を介して絶縁膜22の上部に設けた電極26が抵抗素子16と電気的に接続している。



【特許請求の範囲】

【請求項1】 半導体基板上または半導体基板内に能動素子と受動素子とが分離不能に結合している半導体装置において、抵抗素子が酸素原子を含むTiNからなることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記酸素原子を含むTiNは、酸素原子量が5～25原子%であることを特徴とする半導体装置。

【請求項3】 半導体基板上または半導体基板内に能動素子と受動素子とが分離不能に結合している半導体装置において、抵抗素子がMoSi_xからなることを特徴とする半導体装置。

【請求項4】 請求項3に記載の半導体装置において、前記MoSi_xは、xが1.7～3.3であることを特徴とする半導体装置。

【請求項5】 請求項1ないし4のいずれかに記載の半導体装置において、前記抵抗素子は、厚さが5～100nmであることを特徴とする半導体装置。

【請求項6】 請求項1ないし5のいずれかに記載の半導体装置において、前記抵抗素子の電極は、抵抗素子の上部に形成してあることを特徴とする半導体装置。

【請求項7】 請求項6に記載の半導体装置において、前記抵抗素子の電極は、抵抗素子の上部に設けた絶縁膜に形成した孔を介して前記抵抗素子に接続してあることを特徴とする半導体装置。

【請求項8】 請求項1ないし5のいずれかに記載の半導体装置において、前記抵抗素子是一对のゲート電極間または下地配線間に跨がって形成され、前記抵抗素子の電極は前記ゲート電極または前記下地配線を覆って設けた絶縁膜に形成した孔を介して前記ゲート電極または前記下地配線に接続してあることを特徴とする半導体装置。

【請求項9】 請求項1ないし5のいずれかに記載の半導体装置において、前記抵抗素子は前記半導体基板に設けた一对の拡散層間に跨がって形成され、前記抵抗素子の電極は前記拡散層を覆って設けた絶縁膜に形成した孔を介して拡散層に接続してあることを特徴とする半導体装置。

【請求項10】 請求項1ないし5に記載の半導体装置において、前記抵抗素子の電極は、抵抗素子の下部に形成してあることを特徴とする半導体装置。

【請求項11】 半導体基板上または半導体基板内に能動素子と受動素子とが分離不能に結合している半導体装置において、酸素原子を含むTiNからなるヒューズ素子を有することを特徴とする半導体装置。

【請求項12】 請求項11に記載の半導体装置において、前記酸素原子を含むTiNは、酸素原子量が5～25原子%であることを特徴とする半導体装置。

【請求項13】 半導体基板上または半導体基板内に能動素子と受動素子とが分離不能に結合している半導体装

置において、MoSi_xからなるヒューズ素子を有することを特徴とする半導体装置。

【請求項14】 請求項13に記載の半導体装置において、前記MoSi_xは、xが1.7～3.3であることを特徴とする半導体装置。

【請求項15】 請求項11ないし14のいずれかに記載の半導体装置において、前記抵抗素子は、厚さが5～100nmであることを特徴とする半導体装置。

【請求項16】 請求項11ないし15のいずれかに記載の半導体装置において、前記ヒューズ素子は、くびれ部を有していることを特徴とする半導体装置。

【請求項17】 請求項10ないし16のいずれかに記載の半導体装置において、前記ヒューズ素子の電極は、ヒューズ素子の上部に形成してあることを特徴とする半導体装置。

【請求項18】 請求項17に記載の半導体装置において、前記ヒューズ素子の電極は、ヒューズ素子の上部に設けた絶縁膜に形成した孔を介して前記ヒューズ素子に接続してあることを特徴とする半導体装置。

【請求項19】 請求項11ないし16のいずれかに記載の半導体装置において、前記ヒューズ素子是一对のゲート電極間または下地配線間に跨がって形成され、前記ヒューズ素子の電極は前記ゲート電極または前記下地配線を覆って設けた絶縁膜に形成した孔を介して前記ゲート電極または前記下地配線に接続してあることを特徴とする半導体装置。

【請求項20】 請求項11ないし16のいずれかに記載の半導体装置において、前記ヒューズ素子は前記半導体基板内に形成した一对の拡散層間に跨がって形成され、前記ヒューズ素子の電極は前記拡散層を覆って設けた絶縁膜に形成した孔を介して拡散層に接続してあることを特徴とする半導体装置。

【請求項21】 請求項11ないし16のいずれかに記載の半導体装置において、前記ヒューズ素子の電極はヒューズ素子の下部に設けてあることを特徴とする半導体装置。

【請求項22】 半導体基板上または半導体基板内に能動素子と受動素子とが分離不能に結合している半導体装置の製造方法において、前記半導体基板上の全面に絶縁層を形成する工程と、前記絶縁層上の全面に酸素を含むTiN層またはMoSi_x層を形成する工程と、前記酸素を含むTiN層または前記MoSi_x層を加工して抵抗素子またはヒューズ素子の少なくとも一方を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項23】 請求項22に記載の半導体装置の製造方法において、前記抵抗素子または前記ヒューズ素子の少なくとも一方を形成したのち、前記半導体基板の全面に絶縁膜を形成する工程と、前記抵抗素子または前記ヒューズ素子の上部の前記絶縁膜に貫通孔を形成

する工程と、前記絶縁膜を覆って金属膜を形成したのち、前記金属膜を加工して前記抵抗素子または前記ヒューズ素子の電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項24】 半導体基板上または半導体基板内に能動素子と受動素子とが分離不能に結合している半導体装置の製造方法において、前記半導体基板に絶縁層を形成する工程と、前記絶縁層の上部に少なくとも2以上のゲート電極または下地配線を形成する工程と、前記半導体基板の全面に第1の絶縁膜を形成する工程と、前記ゲート電極または前記下地配線の上部の前記第1の絶縁膜に第1の貫通孔を形成する工程と、前記第1の絶縁膜の上部に酸素を含むTiN膜またはMoSi_x膜を形成する工程と、前記酸素を含むTiN膜またはMoSi_x膜を加工して一対の前記ゲート電極間または前記下地配線間に跨がって抵抗素子またはヒューズ素子の少なくともいずれか一方を形成する工程と、前記半導体基板の全面に第2の絶縁膜を形成する工程と、前記ゲート電極または前記下地配線の上部の前記第1の絶縁膜と第2の絶縁膜とを貫通した第2の貫通孔を形成する工程と、前記第2の絶縁膜の上部に金属膜を形成したのち、金属膜を加工して前記ゲート電極または前記下地配線に接続した前記抵抗素子または前記ヒューズ素子の電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項25】 半導体基板上または半導体基板内に能動素子と受動素子とが分離不能に結合している半導体装置の製造方法において、前記半導体基板内に2以上の拡散層を形成する工程と、前記半導体基板の全面に絶縁層を形成する工程と、前記拡散層上部の前記絶縁層に第1の貫通孔を形成する工程と、前記絶縁層の上部に酸素を含むTiN層またはMoSi_x層を形成する工程と、前記酸素を含むTiN層または前記MoSi_x層を加工して一対の前記拡散層に跨がって抵抗素子またはヒューズ素子の少なくともいずれか一方を形成する工程と、前記半導体基板の全面に絶縁膜を形成する工程と、前記拡散層上部の前記絶縁膜と前記絶縁膜とを貫通した第2の貫通孔を形成する工程と、前記絶縁膜の上部に金属層を形成したのち、金属膜を加工して前記拡散層に接続した前記抵抗素子または前記ヒューズ素子の電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項26】 半導体基板上または半導体基板内に能動素子と受動素子とが分離不能に結合している半導体装置の製造方法において、前記半導体基板の全面に絶縁層を形成する工程と、前記絶縁層の上部に酸素を含むTiN層またはMoSi_x層を形成する工程と、前記酸素を含むTiN層または前記MoSi_x層を加工して抵抗素子またはヒューズ素子の少なくともいずれか一方を形成する工程と、前記抵抗素子またはヒューズ素子上に金属層を形成したのち、金属膜を加工して前記抵抗素子または前記ヒューズ素子の電極を形成する工程とを有するこ

とを特徴とする半導体装置の製造方法。

【請求項27】 請求項26に記載の半導体装置の製造方法であって、前記絶縁層の上部に酸素を含むTiN層またはMoSi_x層を形成する工程後、前記金属層形成前に前記酸素を含むTiN層またはMoSi_x層上に第2の絶縁層を形成する工程を含み、前記電極は、前記第2の絶縁層端部を覆うように形成されることを特徴とする半導体装置の製造方法。

【請求項28】 半導体基板または半導体基板内に能動素子と受動素子とが分離不能に結合している半導体装置の製造方法において、前記半導体基板の全面に絶縁層を形成する工程と、前記絶縁層上に離間して金属層からなる電極を2個形成する工程と、前記2個の電極に跨って、絶縁層の上部に酸素を含むTiN層またはMoSi_x層を形成する工程と、前記酸素を含むTiN層または前記MoSi_x層を加工して抵抗素子またはヒューズ素子の少なくともいずれか一方を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項29】 請求項22ないし28のいずれかに記載の半導体装置の製造方法において、前記酸素を含むTiN層を形成する工程は、スパッタによりTiN層を形成する工程と、前記スパッタにより形成したTiN層に酸素イオンを注入する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項30】 請求項22ないし28のいずれかに記載の半導体装置の製造方法において、前記酸素を含むTiN層を形成する工程は、スパッタによりTiN層を形成する工程と、前記スパッタにより形成したTiN層を酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項31】 請求項22ないし28のいずれかに記載の半導体装置の製造方法において、前記酸素を含むTiN層は、酸素ガスと窒素ガスとが存在する雰囲気中でTiをターゲットとしたスパッタにより形成することを特徴とする半導体装置の製造方法。

【請求項32】 請求項22ないし28のいずれかに記載の半導体装置の製造方法において、前記酸素を含むTiN層の形成は、スパッタによりTi層を形成したのち、酸素ガスと窒素ガスとが存在する雰囲気中でアニールすることを特徴とする半導体装置の製造方法。

【請求項33】 請求項22ないし28のいずれかに記載の半導体装置の製造方法において、前記MoSi_x層は、前記MoSi_x層の組成と同一の組成を有するMoSi_xをターゲットとしたスパッタにより形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、能動素子と受動素子とが分離不能に結合してある集積回路などの半導体装置およびその製造方法に関する。

【0002】

【従来の技術】従来、集積回路などの半導体装置においては、抵抗素子として一般にポリシリコンが使用されてきた。また、近年においては、チタン-タングステン合金(TiW)やニッケル-クロム合金、さらには特開平3-276755号公報に記載されているように、窒化チタン(TiN)などの高融点金属やその化合物からなる抵抗素子が用いられるようになっている。

【0003】一方、所定のプログラムを得るための冗長回路の切替えや回路素子に印加する電圧の調整、時計回路の周波数の調整などを行なう場合、電流によって回路を溶断するヒューズ素子が使用される。このようなヒューズ素子は、従来、アルミニウム合金やポリシリコンなどが使用されていた。

【0004】

【発明が解決しようとする課題】しかし、上記した従来の高融点金属あるいはその化合物を用いた抵抗素子は、比抵抗が比較的小さく、所望の抵抗値を有する抵抗素子を形成する場合、抵抗素子が大型化するため集積度の向上の妨げとなっていた。例えば、比較的比抵抗の大きなTiNを使用した場合であっても、比抵抗が数 $100\mu\Omega\cdot\text{cm}$ 程度であるため、アナログ用に用いられるシート抵抗が数 $100\Omega/\square$ 〜数 $k\Omega/\square$ の抵抗を得ようとすると、抵抗素子のパターン長を相当に長くする必要がある。また、従来のポリシリコンを用いた抵抗素子は、ポリシリコンの温度係数が大きいために半導体装置の使用温度によって抵抗値が変動するばかりでなく、電界の影響を受けやすく、電界効果によって抵抗値が変化する欠点がある。

【0005】一方、従来のAlやポリシリコンからなるヒューズ素子は、ヒューズを溶断するために大きな電流を必要とし、溶断に要する時間も数 $10\sim 100\text{ms}$ 程度を必要としていた。そして、溶断電流を小さくしたり溶断時間を短くするためには、ヒューズ素子の微細加工を必要とし、加工工程が複雑となってヒューズ素子の形成が困難となる。

【0006】さらに、従来は、抵抗素子とヒューズ素子とを異なる工程において別々に形成していたため、製造工程が煩雑となり、コスト低減の妨げとなっていた。

【0007】本発明は、前記従来技術の欠点を解消するためになされたもので、抵抗素子の小型化を図ることを目的としている。

【0008】また、本発明は、ヒューズ素子を短時間で容易に溶断できるようにすることを目的としている。

【0009】さらに、本発明は、製造工程の簡素化とコストの低減を図ることを目的としている。

【0010】

【課題を解決するための手段】上記の目的を達成するために、本発明に係る半導体装置は、半導体基板上または半導体基板内に能動素子と受動素子とが分離不能に結合

している半導体装置において、抵抗素子が酸素原子を含むTiNまたは MoSi_x からなる構成となっている。

【0011】このように構成した本発明の半導体装置は、抵抗素子が酸素を含むTiNまたは MoSi_x によって形成されることにより、比抵抗を容易に大きくすることができ、所定の抵抗値を有する抵抗素子を所望のパターンサイズで容易に形成でき、抵抗素子の小型化を図ることができる。すなわち、酸素を含むTiNは、酸素原子量が多くなるほど比抵抗が高くなり、例えば酸素を20原子%含むTiNは、酸素を含まない場合に比較して比抵抗が10倍程度大きくなる。また、モリブデンシリサイド(MoSi_x)は、ケイ素(Si)の量によって比抵抗が変化し、MoとSiとの組成比を変えることにより、約 $300\sim 2000\mu\Omega\cdot\text{cm}$ の比抵抗とすることができ、 $100\Omega/\square$ 〜数 $k\Omega/\square$ のシート抵抗を有する抵抗素子を所望のパターンサイズで容易に形成することができる。また、モリブデンシリサイドは、MOS-ICにおいてゲート電極材料として広く用いられており、製造と親和性が高く取り扱いやすい。しかも、ポリシリコンを用いた抵抗に比較して温度係数を $1/3$ 程度に低減できるため、温度変化に対して抵抗値の変動を小さくすることができるとともに、拡散抵抗などに比較して半導体基板表面の任意の位置に形成できることや半導体装置を製造する任意の工程において形成できるため、抵抗素子を形成する自由度を増すことができる。

【0012】酸素原子を含むTiNの場合、酸素原子量は、5〜25原子%にすることが望ましい。酸素原子量が5原子%より少ないと、比抵抗があまり大きくならず、抵抗材としてあまり適していない。また、酸素原子量が25原子%より大きいと、蒸気圧の高い酸化チタン(TiO)が多く形成され、熱処理をした際にTiOの昇華量が多くなるため、熱処理の前後において抵抗値が変化するおそれがある。一方、 MoSi_x は、xの値を $1.7\sim 3.3$ 、特に $2.0\leq x\leq 2.5$ にすることが望ましい。xが1.7より小さいと、比抵抗が小さく、抵抗素子を形成するのに適していない。また、xが3.3より大きい場合、 MoSi_x の耐酸化性が悪くなり、プロセス上で取り扱いにくくなるばかりでなく、酸化の進行によって比抵抗が変化するおそれがある。

【0013】抵抗素子は、厚さを $5\sim 100\text{nm}$ にすることができるが、望ましくは $20\sim 60\text{nm}$ 程度の厚さにする。厚さが 5nm より薄い場合、均一な膜の形成が困難であるとともに、薄いために絶縁膜のエッチングの際などに絶縁膜とともに除去されるおそれがある。そして、加工の容易性を考慮すると、厚さは $20\mu\text{m}$ 以上であることが望ましい。また、厚さが 100nm を超えると、シート抵抗が $100\Omega/\square$ 以下となって抵抗を形成するのに適していない。すなわち、T. Mochizuki等の研究によると、スパッタによって堆積された厚さ 300nm のモリブデンシリサイドは、シート抵抗が

Siの量によって図13のように変化する(IEEE Trans., Electron Device, Vol. ED-27, 1980)。特に、厚さを60nm以下にすると、所望の抵抗値を有する抵抗素子を容易に形成することができる。

【0014】図13は、横軸がMoとSiとの組成比を示しており、Siに対するMoの比(Mo/Si)を示している。また、縦軸は、シート抵抗(Ω/\square)である。図から明らかなように、Siの量が多くなるほどシート抵抗が大きくなり、比抵抗が大きくなるのがわかる。そして、 $x=2, 3$ の場合、厚さ300nmのMoSi_xのシート抵抗は約32 Ω/\square である。このシート抵抗は、厚さにほぼ反比例するため、厚さを40nmにすると、シート抵抗は約240 Ω/\square となる。

【0015】抵抗素子の電極は、抵抗素子の上部に形成してもよく、逆に下部に形成してもよい。抵抗素子の電極を抵抗素子の上部に形成する場合、抵抗素子の上部に設けた絶縁膜に形成した孔を介して電極を抵抗素子に接続することができる。

【0016】また、抵抗素子は、一対のゲート電極間、ゲート電極配線と同じ工程で形成される配線、または下地配線間に跨がって形成することができる。すなわち、抵抗素子は、能動素子であるトランジスタのゲート電極や、ゲート電極配線と同じ工程で形成される配線、下地配線などの上方に絶縁膜を介して形成することができる。この場合、抵抗素子の電極は、ゲート電極、ゲート電極配線と同じ工程で形成される配線、または下地配線を覆って設けた絶縁膜に形成した孔を介してゲート電極、ゲート電極配線と同じ工程で形成される配線、または下地配線に接続する。さらに、抵抗素子は、半導体基板に形成した一対の拡散層間に跨がって形成でき、この場合、抵抗素子の電極は、拡散層を覆って設けた絶縁膜に形成した孔を介して拡散層に接続するといふ。

【0017】また、本発明に係る半導体装置は、半導体基板上または半導体基板内に能動素子と受動素子とが分離不能に結合している半導体装置において、酸素原子を含むTiNまたはMoSi_xからなるヒューズ素子を有する構成にしてある。

【0018】このように構成した本発明は、ヒューズ素子が酸素原子を含むTiNまたはMoSi_xによって構成してあるため、比抵抗値が比較的高いために小さな電流によって短時間で容易に溶断し、ヒューズとしての機能の向上が図れる。

【0019】そして、前記抵抗素子のところで述べたとはほぼ同様の理由により、ヒューズ素子を構成する酸素原子を含むTiNは、酸素原子量が5~25原子%であることが望ましく、ヒューズ素子を形成するMoSi_xは、 x を1.7~3.0、望ましくは2.0~2.5にする。さらに、抵抗素子は、厚さを5~100nm、望ましくは20~60nmに形成する。

【0020】また、ヒューズ素子は、くびれ部を形成するとよい。このように、くびれ部を形成することにより、ヒューズ素子の一定の位置、すなわちくびれ部で溶断させることができる。そして、ヒューズ素子の電極、ヒューズ素子は、前記の抵抗素子の電極、抵抗素子と同様に形成することができる。

【0021】上記の半導体装置を得るための本発明に係る半導体装置の製造方法は、半導体基板上または半導体基板内に能動素子と受動素子とが分離不能に結合している半導体装置の製造方法において、前記半導体基板の全面に絶縁層を形成する工程と、前記絶縁層の全面に酸素を含むTiN層またはMoSi_x層を形成する工程と、前記酸素を含むTiN層または前記MoSi_x層を加工して抵抗素子またはヒューズ素子の少なくとも一方を形成する工程とを含む構成となっている。そして、抵抗素子とヒューズ素子とを同一の組成を有する膜とすることにより、同一の工程において同時に形成すれば、工程の簡素化等が図れ、半導体装置のコストを低減することができる。

【0022】抵抗素子またはヒューズ素子の少なくとも一方を形成する工程後に、半導体基板の全面に絶縁膜を形成する工程と、抵抗素子またはヒューズ素子の上部の絶縁膜に貫通孔を形成する工程と、絶縁膜を覆って金属膜を形成したのち、金属膜を加工して抵抗素子またはヒューズ素子の電極を形成することができる。

【0023】さらに、本発明に係る半導体装置の製造方法は、半導体基板上または半導体基板内に能動素子と受動素子とが分離不能に結合している半導体装置の製造方法において、前記半導体基板に絶縁層を形成する工程と、前記絶縁層の上部に少なくとも2以上のゲート電極、ゲート電極配線と同じ工程で形成される配線、または下地配線を形成する工程と、前記半導体基板の全面に第1の絶縁膜を形成する工程と、前記ゲート電極、ゲート電極配線と同じ工程で形成される配線、または前記下地配線の上部の前記第1の絶縁膜に第1の貫通孔を形成する工程と、前記第1の絶縁膜の上部に酸素を含むTiN膜またはMoSi_x膜を形成する工程と、前記酸素を含むTiN膜またはMoSi_x膜を加工して一対の前記ゲート電極または前記下地配線に跨がって抵抗素子またはヒューズ素子の少なくとも一方を形成する工程と、前記半導体基板の全面に第2の絶縁膜を形成する工程と、前記ゲート電極または前記下地配線の上部の前記第1の絶縁膜と第2の絶縁膜とを貫通した第2の貫通孔を形成する工程と、前記第2の絶縁膜の上部に金属膜を形成したのち、金属膜を加工して前記ゲート電極、ゲート電極配線と同じ工程で形成される配線、または前記下地配線に接続した前記抵抗素子または前記ヒューズ素子の電極を形成する工程とを有する構成となっている。

【0024】また、本発明に係る半導体装置の製造方法は、半導体基板上または半導体基板内に能動素子と受動

素子とが分離不能に結合している半導体装置の製造方法において、前記半導体基板内に2以上の拡散層を形成する工程と、前記半導体基板の全面に絶縁層を形成する工程と、前記拡散層上部の前記絶縁層に第1の貫通孔を形成する工程と、前記絶縁層の上部に酸素を含むTiN層またはMoSi₂層を形成する工程と、前記酸素を含むTiN層または前記MoSi₂層を加工して一対の前記拡散層に跨って抵抗素子またはヒューズ素子の少なくともいずれか一方を形成する工程と、前記半導体基板の全面に絶縁膜を形成する工程と、前記拡散層上部の前記絶縁層と前記絶縁膜とを貫通した第2の貫通孔を形成する工程と、前記絶縁膜の上部に金属層を形成したのち、金属膜を加工して前記拡散層に接続した前記抵抗素子または前記ヒューズ素子の電極を形成する工程とを有するように構成することができる。

【0025】そして、酸素を含むTiN層を形成する工程は、スパッタによりTiN層を形成する工程と、スパッタにより形成したTiN層に酸素イオンを注入する工程とを含むようにしてもよく、またスパッタによりTiN層を形成する工程と、前記スパッタにより形成したTiN層を酸化する工程とを含むようにもできる。

【0026】さらに、酸素原子を含むTiNは、酸素ガスと窒素ガスとが存在する雰囲気中でTiをターゲットとしたスパッタにより形成してもよく、スパッタによりTi層を形成したのち、酸素ガスと窒素ガスとが存在する雰囲気中でアニールして形成してもよい。そして、MoSi₂層は、MoSi₂層の組成と同一の組成を有するMoSi₂をターゲットとしたスパッタにより形成してもよい。

【0027】

【発明の実施の形態】本発明に係る半導体装置およびその製造方法の好ましい実施の形態を、添付図面に従って詳細に説明する。

【0028】図1は、本発明の第1実施の形態に係る半導体装置の要部説明図であって、(1)は半導体装置の断面図、(2)は半導体装置の抵抗素子とその電極との関係を示す平面図である。

【0029】図1(1)に示したように、半導体装置10は、シリコンなどからなる半導体基板12の上部にシリコン酸化膜(SiO₂膜)からなるゲート酸化膜である絶縁層14が設けてあり、その上部にMoSi₂により形成した受動素子である抵抗素子16が形成してある。さらに、半導体基板12の上部には、抵抗素子16に隣接して能動素子であるMOSTランジスタ90が形成してある。MOSTランジスタ90は、半導体基板12の上部に絶縁層(ゲート酸化膜)14を介してゲート電極92が設けてあって、このゲート電極92の両側に不純物拡散層からなるソース94とドレイン96とを有している。

【0030】なお、抵抗素子16は、酸素を含むTiN

(以下、TiONと略記する場合がある)によって形成してもよい。また、抵抗素子16設ける絶縁層は、図示しないシリコン窒化膜(SiN膜)などからなるものでもよく、半導体基板表面に設けられるLOCOSなどによって形成した素子分離膜17であってもよし、絶縁層14の下に素子が設置されている場合には、単層の層間絶縁膜あるいは多層の層間絶縁膜であってもよい。

【0031】抵抗素子16は、例えば図2(2)のように両端にランド部18を有し、これらのランド部18間に抵抗素子本体20が直線状または蛇行状等の適宜のパターンで形成されている。そして、半導体装置10は、抵抗素子16と絶縁層14とを覆った半導体基板の12の全面に、シリコン酸化膜などによる絶縁膜22が設けてある。この絶縁膜22には、抵抗素子16のランド部と対応した位置に複数の貫通孔(コンタクトホール)24が設けてあり、この貫通孔24を介して抵抗素子16に電気的に接続された抵抗素子の電極26が絶縁膜22の上部に引き出されている。この電極26は、実施の形態の場合、アルミニウム(Al)またはアルミニウム合金(例えば、Al-Cu合金、Al-Si-Cu合金など)、さらにはTi、TiN、TiWなどのバリアメタルとアルミニウムまたはアルミニウム合金との組み合わせ(積層)などの金属膜によって形成してある。

【0032】このように形成したMoSi₂からなる抵抗素子(MoSi₂抵抗素子)16は、MoとSiとの組成比を変えることにより、約300~2000μΩ・cmの比抵抗とすることができ、100Ω/□~数kΩ/□のシート抵抗を有する抵抗素子16を所望のパターンサイズで容易に形成することができる。また、モリブデンシリサイドは、MOS-ICにおいてゲート電極材料として広く用いられており、製造と親和性が高く、取り扱いやすくて製造しやすい。しかも、ポリシリコンを用いた抵抗に比較して温度係数を1/3程度に低減できるため、温度変化に対して抵抗値の変動を小さくすることができるとともに、拡散抵抗などに比較して、半導体装置を製造する任意の工程において形成でき、抵抗素子16を形成する自由度を増すことができる。

【0033】図2は、第2の実施の形態に係る半導体装置の要部説明図であって、(1)は半導体装置の断面図、(2)は半導体装置のヒューズ素子とその電極との関係を示す平面図である。この第2実施の形態に係る半導体装置30は、第1実施の形態に係る半導体装置30の抵抗素子16に代えて、MoSi₂からなるヒューズ素子32を設けたもので、他の構成は基本的に第1実施の形態の半導体装置10と同じである。また、ヒューズ素子32をTiONによって形成してもよいことも同様である。

【0034】ただし、この実施の形態に係るヒューズ素子32は、両端ランド部34の対向側が相手側に向けて漸次幅が狭くなるように形成してあって、両ランド部34間の中央部にくびれた幅の狭いヒューズ本体部36が

設けられ、電極26を介してヒューズ素子32に所定以上の電流が流れた際、ヒューズ本体部36において確実に溶断するようにしてある。

【0035】このようにして形成した MoSi_x からなるヒューズ素子32は、 $x=2.3$ であって、厚さが30nm、くびれ部36の幅が1 μm の場合、10mAの電流を流すことによって10msec程度で溶断することができる。すなわち、MoとSiとの組成比が1:2.3であるモリブデンシリサイド膜は、厚さが30nm、幅が1 μm である場合、流れる電流と溶断時間との間に図3に示したような関係があり、8~10mA程度の電流を流すことにより、10msec以下で溶断させることができる。従って、少ない電流で短時間に容易にヒューズ素子32を切断することが可能で、プログラムを組む際の冗長回路の切替え、回路素子の電圧の調整、時計回路の周波数調整などを容易に行なうことができる。

【0036】図4は、第3実施形態を示したもので、半導体装置10の製造方法を説明する工程図である。

【0037】まず、図4(a)に示してあるように、半導体基板12の上面にシリコン酸化膜やシリコン窒化膜からなる絶縁層14を、CVD法などにより所定の厚さ(例えば、400nm)形成する。その後、絶縁層14の上部全面に MoSi_x 膜40を成膜する。この MoSi_x 膜40の成膜は、 MoSi_x 膜40の組成と同じ組成の MoSi_x をターゲットとしてDCマグネトロンスパッタによって行なうことができる。

【0038】MoとSiとの組成比は、 MoSi_x 膜40の加工性、取り扱いやすさやその比抵抗をどの程度にするか、抵抗素子のサイズ等を考慮して決定する。そして、ターゲットの MoSi_x は、 $1.7 \leq x \leq 3.3$ のものを使用することができるが、 $2.0 \leq x \leq 2.5$ のものを使用することが望ましい。xが1.7より小さいモリブデンシリサイドは、堆積した MoSi_x 膜40の比抵抗が小さく、抵抗材としてあまり適していない。また、xが3.3を超えるようなモリブデンシリサイドは、耐酸化性が劣り、加工性や取扱い性に難点がある。また、 MoSi_x 膜40の厚さは、5~100nmであるが、20~60nmが望ましい。この堆積膜厚は、抵抗素子16の抵抗値やパターンサイズなどを考慮して定められ、厚さが5nmより薄くなると、均一に成膜するのが難しくなるばかりでなく、絶縁膜のエッチングの際などに絶縁膜とともに除去されて孔があいたりするおそれがある。そして、加工の容易性を考慮すると、厚さは20nm以上であることが望ましい。また、厚さが100nmより大きくなると、シート抵抗が100 Ω/\square 以下となって抵抗として使用するのに適していない。特に、厚さを60nm以下にすると、所望の抵抗値を有する抵抗素子を容易に形成することができる。

【0039】実施例の場合、MoとSiとの組成比が

1:2.3、すなわち $x=2.3$ のモリブデンシリサイドをターゲットとして用い、 $8 \times 10^{-3}\text{Torr}$ のアルゴンガス雰囲気中でDCマグネトロンスパッタによって MoSi_x 膜40を厚さ40nm形成した。スパッタの電力密度は2.8W/cm²であって、膜の成長速度は400nm/minである。そして、成膜された MoSi_x 膜40の比抵抗は約1m $\Omega \cdot \text{cm}$ であり、シート抵抗は約240 Ω/\square である。

【0040】このようにして MoSi_x 膜40を成膜したのち、フォトリソグラフィー法により抵抗素子予定部をフォトレジストによって覆い、ドライエッチングによって抵抗素子予定部以外の MoSi_x 膜40を除去して抵抗素子16を形成する(図4(b))。その後、同図(c)に示したように、半導体基板12の全面にシリコン酸化膜などからなる絶縁膜22をCVD法などによって200~400nm成膜し、エッチングして抵抗素子16のランド部上部に複数の貫通孔24を形成する。次に、絶縁膜22を覆ってAlまたはAl合金(例えば、Al-Cu合金、Al-Si-Cu合金など)、さらにはTi、TiN、TiWなどのバリアメタルとAlまたはAl合金との組み合わせなどの金属膜を通常のスパッタにより500nm程度堆積する。そして、フォトリソグラフィー法を用いて配線予定部にフォトレジスト膜を形成したのち、塩素(Cl)系ガスをを用いたドライエッチング法、リン酸を主成分とするエッチャント、例えばリン酸、硝酸、酢酸、水の混合液を用いたウェットエッチング法により、配線予定部以外の金属膜を除去し、同図(d)に示したように、配線26を形成して半導体装置10にする。

【0041】この図4に示した製造工程は、抵抗素子16を有する半導体装置10について説明したが、ヒューズ素子32を有する半導体装置30についても同様に適用することができる。また、抵抗素子16とヒューズ素子32とを同一の工程において形成してもよい。抵抗素子16とヒューズ素子32とを同一の工程において形成すれば、工程の簡素化が図れ、コストを低減することができる。

【0042】図5は、第4実施の形態を示したもので、酸素を含むTiNからなる抵抗素子を有する半導体装置の製造方法の工程図である。

【0043】まず、図5(a)に示してあるように、前記と同様にして半導体基板12の上面に絶縁層14を形成する。その後、絶縁層14の全面を覆って窒化チタニウム(TiN)膜42を成膜する。このTiN膜42は、例えばアルゴンガス中に活性ガスである窒素ガスを流量比で60%混合し、180℃、 $6 \times 10^{-3}\text{Torr}$ にてチタン(Ti)とのリアクティブスパッタにより5~100nm堆積する。次に、同図(b)に示したように、TiN膜42を形成した半導体基板12を $1 \times 10^{-6} \sim 5 \times 10^{-4}\text{Torr}$ 程度の減圧下に配置し、加速エ

ネルギー30keVの酸素イオンビーム44をTiN膜42に照射して酸素イオンを $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度注入し、酸素原子を含んだTiN膜(TiON膜)46にする。その後、抵抗素子予定領域にフォトリソ膜を形成し、ドライエッチングによって抵抗素子予定領域以外のTiON膜46を除去し、TiONからなる抵抗素子48を形成する(図5(c))。以下、図4の(c)、(d)の工程と同様の工程を経て、TiON抵抗素子48を有する半導体装置10を得る(図5(d))。

【0044】このようにして形成したTiONからなる抵抗素子48は、酸素イオンの注入量により比抵抗、シート抵抗を容易に変えることができ、所定の抵抗値を有する抵抗素子を所望のパターンサイズで形成でき、抵抗素子を小型化することができる。すなわち、図6に示したように、TiN膜中に酸素原子を注入することにより、比抵抗を大幅に向上することができ、大きなシート抵抗を有する抵抗素子を容易に得ることができる。

【0045】なお、図6は、TiN膜中の酸素原子の量とTiN膜の比抵抗との関係を示したもので、横軸がTiN膜中の酸素原子の量を原子%で示したものである。そして、縦軸は、TiN膜の比抵抗を示したもので、酸素原子を含まないTiN膜の比抵抗を1として規格化してある。

【0046】第4の実施形態においても、抵抗素子48に代えてTiONからなるヒューズ素子を有する半導体装置にすることができ、また同一の工程で同時に形成した抵抗素子とヒューズ素子とを有する半導体装置とすることもできる。

【0047】また、前記実施の形態においては、TiN膜42を成膜したのち、イオン注入によりTiON膜46を形成した場合について説明したが、TiON膜46の形成は、TiN膜42を酸化したり、酸素ガスと窒素ガスとの雰囲気中でTiをターゲットとしたスパッタをしたり、スパッタなどによりTi膜を形成したのちに酸素ガスと窒素ガスとの雰囲気中でアニールしてもよい。

【0048】TiN膜42を酸化してTiON膜46にする場合、400～700℃の酸素ガス雰囲気中で15～45分程度酸化処理を行えばよい。また、アクティブスパッタによりTiON膜46を形成する場合、窒素ガスに流量比で5%程度の酸素ガスを混合し、前記第4実施の形態で述べたTiN膜42の成膜と同様の条件でスパッタすることによりえられる。Ti膜をアニールしてTiON膜46にする場合、例えば流量比で窒素ガス97%、酸素ガス3%、400～700℃の雰囲気中で15～45分ほど処理すればよい。

【0049】図7は、第5実施の形態に係る製造方法の工程図である。図7(a)に示したように、半導体基板12の全面に絶縁層14を形成したのち、ゲート電極を形成するためのMoSi₂膜50をスパッタなどによっ

て200～300nm堆積する。絶縁層14は、絶縁膜であればどのようなものでもよく、本実施例の場合、例えばゲート絶縁膜あるいはLOCOS等の素子分離膜である。また、ゲート電極としては、MoSi₂に限らず、リンを導入したポリシリコンゲートあるいはポリシリコン配線でもよい。この場合、CVD法により、200～500nmポリシリコンを堆積し、POCl₃雰囲気中でリンを拡散することにより形成できる。

【0050】次に、ゲート電極予定部にフォトリソ膜を形成したのち、ドライエッチングによってゲート電極予定部以外の部分のMoSi₂膜50を除去して複数のゲート電極52を形成する(同図(b))。その後、シリコン酸化膜などからなる第1の絶縁膜54を半導体基板12の全面に厚さ400nm程度堆積する。

【0051】次に、同図(c)に示したように、例えば一対のゲート電極52のそれぞれの上方に位置する第1絶縁膜54に第1の貫通孔56を形成したのち、第1の絶縁膜54の全体を覆って抵抗素子を形成するためのMoSi₂膜40を5～100nm堆積する。その後、前記したと同様にしてMoSi₂膜40をエッチングし、図7(d)に示してあるように、一対のゲート電極52間に跨るとともに、ゲート電極52と電気的に接続されたMoSi₂からなる抵抗素子16を形成する。その後、基板の全体にシリコン酸化膜などからなる第2の絶縁膜58を100～300nmしたのち、各抵抗素子16に接続してあるゲート電極52の上方の第1絶縁膜54と第2絶縁膜58とを貫通させた第2貫通孔60を形成する。次に、第2の絶縁膜58の全体にAlまたはAl合金(例えば、Al-Cu合金、Al-Si-Cu合金など)、さらにはTi、TiN、TiWなどのバリアメタルとAlまたはAl合金との組み合わせなどの導電性の膜を形成したのち、前記と同様にしてドライエッチングによりゲート電極52に電気的に接続された抵抗素子用の電極26を形成し、MoSi₂抵抗素子16を有する半導体装置62にする。

【0052】なお、この実施の形態においても、MoSi₂に代えてTiONからなる抵抗素子を形成してもよいし、MoSi₂またはTiONからなるヒューズ素子を形成してもよい。また、前記実施の形態においては、ゲート電極52を形成する場合について説明したが、ゲート電極52に代えてAlまたはAl合金(例えば、Al-Cu合金、Al-Si-Cu合金など)、さらにはTi、TiN、TiWなどのバリアメタルとAlまたはAl合金との組み合わせなどからなる下地配線を形成し、下地配線間に跨って抵抗素子やヒューズ素子を形成してもよい。

【0053】図8、図9は、第6実施の形態に係る半導体装置の製造方法の工程図である。この実施形態においては、まず、図8(a)に示したように、リン(P)やヒ素(As)などのV族の元素イオン、またはホウ素

(B)などのIII族の元素イオンなどをシリコンからなる半導体基板12の所定の箇所に所定量打込み、n型導電層またはp型導電層からなる複数の拡散層64を形成する。その後、同図(b)に示したように、半導体基板12の全面にシリコン酸化膜などからなる絶縁層14を所定の厚さ(例えば、400nm)堆積する。次に、同図(c)に示したように、エッチングによって拡散層64の上部の絶縁層14に第1の貫通孔66を形成したのち、スパッタにより絶縁層14の全面を覆ってMoSi_xを5〜100nm堆積し、MoSi_x膜40を成膜する(図8(d))。

【0054】その後、図9(e)に示したように、前記したと同様にして一対の拡散層64と電気的に接続されたMoSi_xからなる抵抗素子16を形成する。次に、絶縁層14の上部に半導体基板12の全体を覆ってシリコン酸化膜などからなる絶縁膜22を所定の厚さ形成したのち、拡散層64の上部の絶縁層14と絶縁膜22とを貫通した第2の貫通孔68を形成する(図9(f)、(g))。その後、絶縁膜22の全面を覆ってAlまたはAl合金(例えば、Al-Cu合金、Al-Si-Cu合金など)、さらにはTi、TiN、TiWなどのバリアメタルとAlまたはAl合金との組み合わせなどからなる金属膜を形成し、前記したと同様にして拡散層64に電気的に接続した抵抗素子用電極26を形成し、MoSi_xからなる抵抗素子16を有する半導体装置70にする。

【0055】なお、本実施の形態においても抵抗素子16に代えてヒューズ素子を形成してもよいし、MoSi_xに代えて酸素原子を含むTiNにより抵抗素子やヒューズ素子を形成したもよい。

【0056】図10は、第7実施の形態に係る半導体装置の説明図である。この半導体装置72は、半導体基板12の上部に設けた絶縁層14の上面にMoSi_xまたはTiONからなる抵抗素子(またはヒューズ素子)74が形成してある。そして、抵抗素子(またはヒューズ素子)74の両端部には、一部が抵抗素子(またはヒューズ素子)74とその上に形成した絶縁膜76の端部を覆うように抵抗素子(またはヒューズ素子)74の電極26が形成してある。この実施形態のように、電極26は絶縁膜を介することなく設けることができる。なお、絶縁膜76は、電極26をエッチングにより形成する際などに抵抗素子(またはヒューズ素子)74がダメージを受けるのを防止するもので、設けなくともよい。

【0057】図11は、第8実施の形態に係る半導体装置の説明図である。図11に示した半導体装置78は、絶縁層14を形成したのち、抵抗素子(またはヒューズ素子)の電極26を絶縁層14の上に直接形成している。そして、電極26を形成したのち、一対の電極26間に跨がってMoSi_xまたはTiONからなる抵抗素子(またはヒューズ素子)74を形成し、電極26が素

子74の下部に位置するようになっている。

【0058】図12は、本発明の第9実施の形態に係る半導体装置の要部の斜視図である。本実施形態の半導体装置80は、AlまたはAl合金(例えば、Al-Cu合金、Al-Si-Cu合金など)、さらにはTi、TiN、TiWなどのバリアメタルとAlまたはAl合金との組み合わせなどからなる電極26が絶縁層14の上面に直接形成してある。そして、MoSi_xまたはTiONからなる抵抗素子82は、抵抗素子本体84に設けたランド部86が電極26の上面と側面とを覆うように形成してある。このように形成した半導体装置80は、抵抗素子82のランド部86が電極26を覆うように設けてあるため、耐エレクトロマイグレーションや耐ストレスマイグレーションの改善、横方向ヒロックの発生を防止することができる。

【0059】なお、この実施の形態においても、抵抗素子82をTiONによって構成することができ、また抵抗素子82と同様の形状のヒューズ素子をMoSi_xまたはTiONによって形成することができる。

【0060】

【発明の効果】以上に説明したように、本発明によれば、抵抗素子を酸素原子を含むTiNまたはMoSi_xによって形成することにより、比抵抗を容易に大きくすることができ、所定の抵抗値を有する抵抗素子を所望のパターンサイズで容易に形成でき、抵抗素子の小型化を図ることができる。

【0061】また、本発明によれば、ヒューズ素子が酸素原子を含むTiNまたはMoSi_xによって構成してあるため、比抵抗が比較的大きいために小さな電流によって短時間で容易に溶断し、ヒューズとしての機能の向上が図れる。

【0062】そして、本発明によれば、抵抗素子とヒューズ素子とを同一組成の膜によって同一の工程において同時に形成することにより、製造工程の簡素化やコストの低減が図れる。

【図面の簡単な説明】

【図1】本発明の第1実施の形態に係る半導体装置の要部説明図であって、(1)は半導体装置の断面図、(2)は半導体装置の抵抗素子とその電極との関係を示す平面図である。

【図2】本発明の第2の実施形態に係る半導体装置の要部説明図であって、(1)は半導体装置の断面図、(2)は半導体装置のヒューズ素子とその電極との関係を示す平面図である。

【図3】モリブデンシリサイド膜を流れる電流と溶断時間との関係を示す図である。

【図4】第3実施の形態に係る半導体装置の製造方法を説明する工程図である。

【図5】第4実施の形態に係る半導体装置の製造方法を説明する工程図である。

【図6】TiN膜中の酸素原子の量とTiN膜の比抵抗との関係を示す図である。

【図7】第5実施の形態に係る製造方法を説明する工程図である。

【図8】第6実施の形態に係る製造方法の一部工程図である。

【図9】第6実施の形態に係る製造方法の一部工程図であって、図8の工程に続く工程図である。

【図10】第7実施の形態に係る半導体装置の説明図である。

【図11】第8実施の形態に係る半導体装置の説明図である。

【図12】第9実施の形態に係る半導体装置の要部斜視図である。

【図13】モリブデンシリサイドのMoとSiとの組成比とシート抵抗との関係を示す図である。

【符号の説明】

10、30 半導体装置

12 半導体基板

14 絶縁層

16 MoSi_x抵抗素子

22 絶縁膜

24 貫通孔

26 電極

32 MoSi_xヒューズ素子

36 くびれ部

46 酸素原子を含んだTiN膜

48 抵抗素子

52 ゲート電極

54 第1の絶縁膜

56、66 第1の貫通孔

58 第2の絶縁膜

60、68 第2の貫通孔

62、70 半導体装置

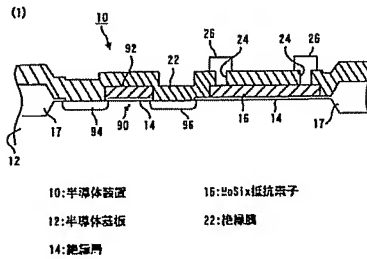
72、78 半導体装置

74 抵抗素子（またはヒューズ素子）

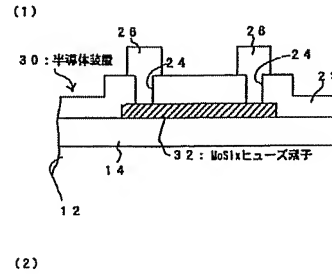
80 半導体装置

82 抵抗素子

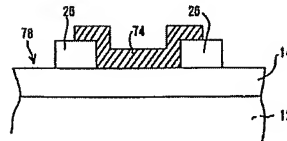
【図1】



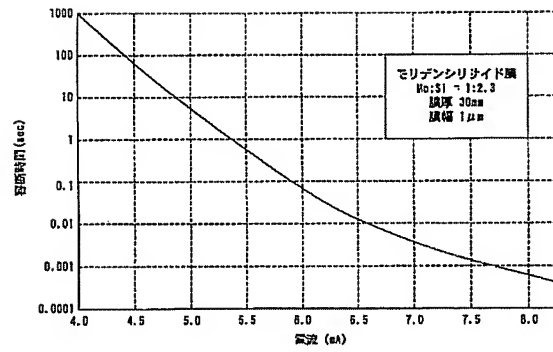
【図2】



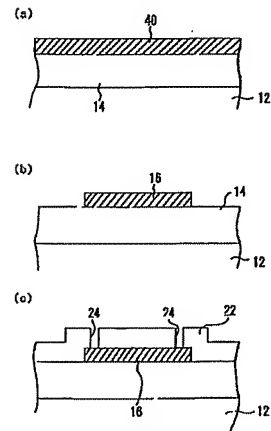
【図11】



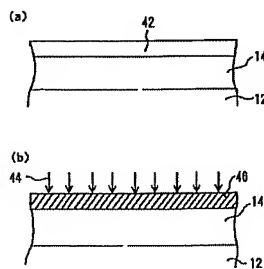
【図3】



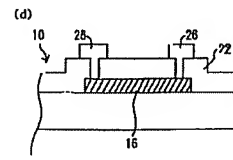
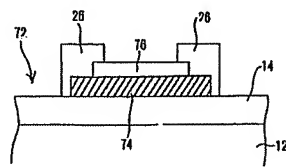
【図4】



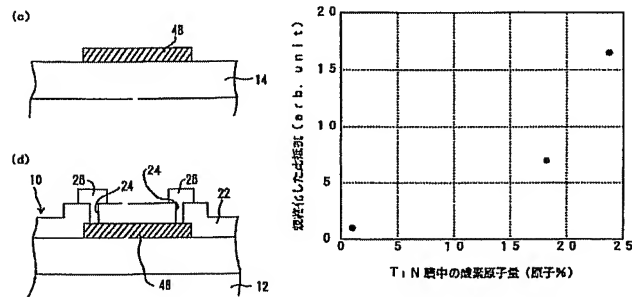
【図5】



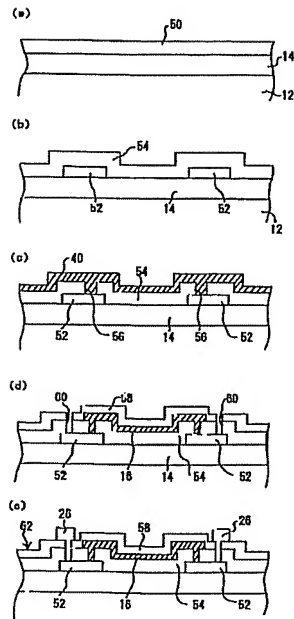
【図10】



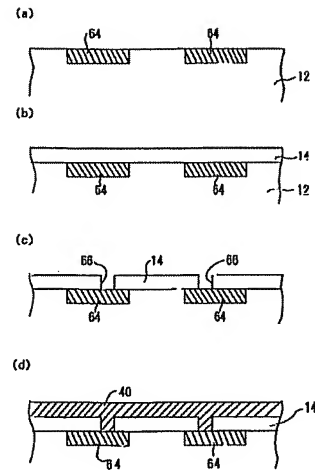
【図6】



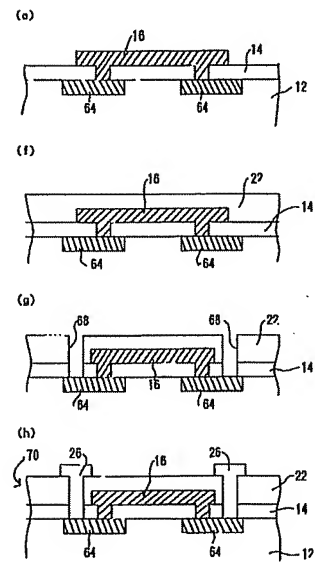
【図7】



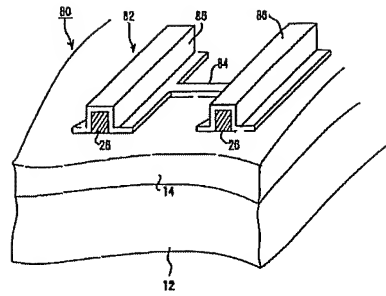
【図8】



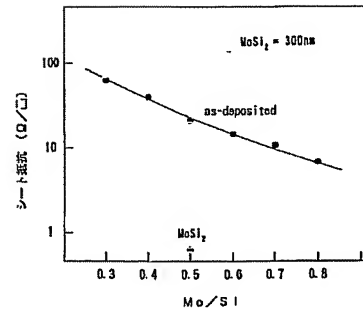
【図9】



【図12】



【図13】



SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent number: JP11195711 (A)

Publication date: 1999-07-21

Inventor(s): ODA YUJI; KOIKE MICHIO + (ODA YUJI, ; KOIKE MICHIO)

Applicant(s): SEIKO EPSON CORP + (SEIKO EPSON CORP)

Classification:

- international: H01L21/02; H01L21/82; H01L21/822; H01L23/525; H01L27/04; H01L21/02; H01L21/70; H01L23/52; H01L27/04; (IPC1-7): H01L21/82; H01L21/822; H01L27/04

- european: H01L21/02B2M; H01L23/525F

Application number: JP19980254416 19980908

Priority number(s): JP19980254416 19980908; JP19970294590 19971027

Abstract of JP 11195711 (A)

PROBLEM TO BE SOLVED: To miniaturize a resistance element. SOLUTION: For a semiconductor device 10, an insulation layer 14 composed of a silicon oxide film or the like is provided on the entire upper surface of a semiconductor substrate 12. A resistance element 16 composed of MoSix is formed at the upper part of the insulation layer 14, and an insulation film 22 is provided on the entire surface of the semiconductor substrate 12 at the upper part of the insulation layer 14. A through-hole 24 is formed at the insulation film 22 which is positioned at the upper part of the resistance element 16, and an electrode 26 provided on the upper part of the insulation film 22 is connected electrically to the resistance element 16 via the through-hole 24.